



DRC 予測: 先端ノードのデザインは製造の複雑さが増すため、綿密な
フローの早期に の課題に対処すると、 要件が必要になります。インプリメンテーション・



超高速な高シグマ・モンテカルロによるライブラリ / IP キャラクタライズ

A ビットセルやフリップフロップなどのライブラリ・セルはインスタンスの数が非常に多く、このようなライブラリのキャラクタライズでも高シグマ(4 ~ 7)モンテカルロ解析は重要な役割を果たします。しかしモンテカルロ・シミュレーションを何百万回も実行するのはコストがかかり過ぎるため、通常は精度を犠牲にして次善策を講じるというトレードオフを強いられます(図9)。

フィジカル検証サインオフの期間を短縮

シノプシスのフィジカル検証(▲)ツールは、実行時間の短縮とデバッグ生産性の向上という▲エンジニアにとって重要な2つの要件に対処するために、▲による分類機能を2種類採用しています。まず、▲に内蔵されている▲スケジューラは、▲による分類機能を使用して

また、 の ヒートマップ機能にも による分類機能が採用されており、根本原因に基づいて違反をグループ分けし、セル重複などデザインの重大な問題を特定します。これにより、 根本原因解析にかかる時間が短縮し、生産性が向上します(図12)。

テストに対する期待を再定義

デザインの複雑さが増す中、エンジニアリング・チームは各シリコン・デバイスの製造欠陥テストにかかるコストと工数を抑えるため、さまざまな手法と技術の組み合わせを検討しています。デジタル・ロジックの製造テストで高い品質を達成するための手段として最も一般的なのは、 (テスト容易化設計)による回路修正と、その後のA (A) を組み合わせる方法です。

製造テストのコストを削減するため、新しい 手法がいくつか採用されていますが、中でも重要なのが「圧縮」です。圧縮は、専用のハードウェアを追加することによって高い品質(すなわち高い故障カバレッジ)を維持しながら、テスト・プログラムのサイズ(すなわちテスター上で実行されるテスト・サイクル数)を削減します。大規模なデザインの場合、最適な圧縮パラメータ(すなわちスキャン入力数、スキャン出力数、スキャン・チェーン数)を選択するには複数のトレールの結果を解析する必要があり、非常に長い時間よ 式 械兪 ヤ牧規®呷ま鷓炸叫襪に蛋' 霍に木金ハレイ 横マ横Á 碇2ま么マ 鑷并ズ横咬璩難木醜二横œ晴ø 疥炕マ横玛晴わ

日本シノブ

〒158-0094 東京都世田谷区玉川2-21-1 二子玉川ライズ オフィス TEL.03-6746-3500(代) FAX.03-6746-3535
〒531-0072 大阪府大阪市北区豊崎3-19-3 ビアスタワー13F TEL.06-6359-8139(代) FAX.06-6359-8149